

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-97463

(43)公開日 平成10年(1998) 4月14日

(51)Int.Cl.⁶

識別記号

F I

G 0 6 F 12/06

5 1 5

G 0 6 F 12/06

5 1 5 D

G 1 1 C 5/00

3 0 1

G 1 1 C 5/00

3 0 1 B

11/41

11/34

3 0 1 F

審査請求 未請求 請求項の数7 O L (全 13 頁)

(21)出願番号

特願平8-251182

(22)出願日

平成8年(1996) 9月24日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大童 浩介

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 折橋 律郎

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 諫田 尚哉

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

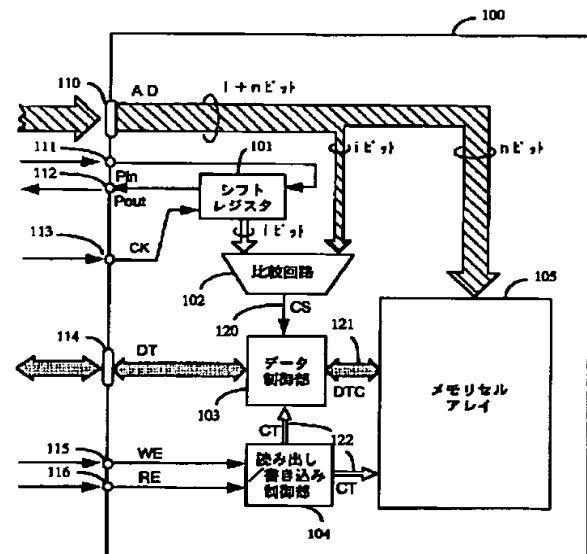
(54)【発明の名称】 セレクトバス機能付き積層型半導体装置

(57)【要約】

【課題】多数個のメモリを使用する際に、チップ選択信号に要する基板配線領域を削減するメモリモジュールを提供する

【解決手段】シフトレジスタ101には、予め他のメモリチップと区別するためにiビットで構成するチップ固有の識別コードを記憶させておき、これとアドレス110の上位iビットとを比較回路102で比較する。その結果、両者が一致したとき当該チップが選択されたと判断する。そして比較回路102はデータ制御部103を活性化してメモリセルアレイ105へのデータの書き込み／読み出しを可能にする。この方式により、アドレス信号110の上位iビットで最大2のi乗個のメモリチップの中から当該メモリチップ100を選択できるので、メモリ選択信号をメモリチップの入力端子に持つ従来の方式に比べチップ選択に要する基板上の配線領域の大幅な削減を可能にする。

図1



1

【特許請求の範囲】

【請求項1】固有の識別コードを格納するシフトレジスタと、外部から供給されるチップ選択信号と該シフトレジスタの格納する識別コードとを比較し両者が一致した場合に所定の動作信号を出力する比較回路と、該出力信号に基づいて外部から供給されるデータの読み書きを実行する制御回路と、該データを読み書きするためのメモリとからなるLSIチップを備えた半導体装置を複数個、積層して配置し、

各半導体装置の有する該シフトレジスタを直列に接続したことを特徴とする積層型半導体装置。

【請求項2】前記各半導体装置は前記シフトレジスタの入力用リードと前記シフトレジスタの出力用リードと非接続用リードとを隣接させて配置し、前記シフトレジスタの出力用リードと次段の半導体装置の有するシフトレジスタの入力用リードとを接続し、最終段の半導体装置の有するシフトレジスタの出力用リードと各半導体装置間で共通に接続された該非接続用リードと接続することを特徴とする請求項1記載の積層型半導体装置。

【請求項3】前記半導体装置をレジンモールドしたパッケージ内部のリードパターンを各半導体装置で同一にし、

前記シフトレジスタの出力用リードと前記次段のシフトレジスタの入力用リードとを接続させるように、該パッケージ外部の前記シフトレジスタの入力用リードを折り曲げ加工したことを特徴とする請求項2記載の積層型半導体装置。

【請求項4】前記半導体装置をレジンモールドしたパッケージ内部のリードパターンを各半導体装置で同一にし、

前記シフトレジスタの出力用リードと前記次段のシフトレジスタの入力用リードとを接続させるように、前記LSIチップと該リードパターンとを接続するワイヤボンディングのパターンにより前記シフトレジスタの入力用リードと出力用リードとの配置を前記次段の半導体装置と逆転させたことを特徴とする請求項2記載の積層型半導体装置。

【請求項5】前記シフトレジスタの出力用リード長を他のリード長より短く加工したことを特徴とする請求項3又は4記載の積層型半導体装置。

【請求項6】複数個の半導体装置を積層して配置した積層型半導体装置において、

外部からのデータを格納する複数個のメモリを有する半導体装置と、

外部からの選択信号及びメモリアドレス信号から対応する半導体装置内部のメモリへのデータアクセスを許可する信号を出力するアドレスデコード回路を有する半導体装置とを備え、

該メモリを有する半導体装置と該アドレスデコード回路を有する半導体装置とを同一のデバイスで構成すること

2

を特徴とする積層型半導体装置。

【請求項7】前記アドレスデコード回路を有する半導体装置を積層型半導体装置の最下層に配置し、

該アドレスデコード回路を有する半導体装置は、基板に設けられた配線と電氣的に接続するためのバンプを有することを特徴とする請求項6記載の積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数個のメモリを実装する技術に関する。

【0002】

【従来の技術】従来、複数個のメモリから任意のメモリを選択して、該メモリの読み出し及び書き込みを行う場合、図9に示す如く、必要なメモリを選択するためのメモリアドレスをアドレスデコード901（入力端子911～913）に入力し、アドレスデコード901の出力（メモリ選択信号921～928）に従ってメモリ902～909のうち1つを選択していた。

【0003】そして、この状態で読みだし信号914、アドレス信号916が入力された場合、選択されたメモリに対して、アドレス信号916で指定されたアドレスに書き込まれているデータをデータ信号917として読み出し、また、書き込み信号915、アドレス信号916、データ信号916が入力された場合、選択されたメモリに対して、アドレス信号916で指定したアドレスにデータ信号916の内容を書き込んでいた。

【0004】この技術に関しては、インテル社 シリーズ2 フラッシュメモ리카ード iMC004FLSA, iMC010FLSA, iMC020FLSA（1992年）第4頁から第8頁（INTEL SERIES 2 FLASH MEMORY CARDS iMC004FLSA, iMC010FLSA, iMC020FLSA(1992) PP4-8）において論じられている。

【0005】

【発明が解決しようとする課題】このように従来技術ではアドレスデコードを利用して任意のメモリを選択するため、メモリの個数分のメモリ選択信号が必要で、そのため、アドレスデコードをLSIで構成する場合、両者を接続するメモリ選択信号用の配線が同数必要となり、基板配線領域を占める割合が高い。

【0006】つまり、従来技術では、複数個のメモリと該複数個のメモリを選択する回路とを高密度に実装する技術が十分に確立されていない。

【0007】本発明の目的は、従来の問題点を解決し、基板配線領域の省スペース化を実現するメモリ選択機能を備えた積層型半導体装置を提供することにある。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、固有の識別コードを格納するシフトレジスタと、外部から供給されるチップ選択信号と該シフトレジスタの格納する識別コードとを比較し両者が一致した場合に所定の動作信号を出力する比較回路と、該出力

3

信号に基づいて外部から供給されるデータの読み書きを実行する制御回路と、該データを読み書きするためのメモリとからなるLSIチップを備えた半導体装置を複数個、積層して配置し、各半導体装置の有する該シフトレジスタを直列に接続したものである。

【0009】積層される各半導体装置のシフトレジスタに固有の識別コードを持たせ、半導体装置に該識別コードを含んだ選択信号を入力させることで、半導体装置の選択が可能となるので、従来のアドレスデコーダとその配線スペースを省略することができる。

【0010】また、積層型半導体装置には固有の識別コードを持たせることになるが、各半導体装置のシフトレジスタを直列に接続することで、積層型半導体装置と基板との接続は少なくともシフトレジスタの1つの入力用リードと1つの出力用リードで実現することができ、それによる配線スペースの増加はほとんどない。

【0011】この場合、前記各半導体装置は前記シフトレジスタの入力用リードと前記シフトレジスタの出力用リードと非接続用リードとを隣接させて配置し、前記シフトレジスタの出力用リードと次段の半導体装置の有するシフトレジスタの入力用リードとを接続し、最終段の半導体装置の有するシフトレジスタの出力用リードと各半導体装置間で共通に接続された該非接続用リードと接続することが好ましい。

【0012】また、前記半導体装置をレジンモールドしたパッケージ内部のリードパターンを各半導体装置で同一にし、前記シフトレジスタの出力用リードと前記次段のシフトレジスタの入力用リードとを接続させるように、該パッケージ外部の前記シフトレジスタの入力用リードを折り曲げ加工するか、前記半導体装置をレジンモールドしたパッケージ内部のリードパターンを各半導体装置で同一にし、前記シフトレジスタの出力用リードと前記次段のシフトレジスタの入力用リードとを接続させるように、前記LSIチップと該リードパターンとを接続するワイヤボンディングのパターンにより前記シフトレジスタの入力用リードと出力用リードとの配置を前記次段の半導体装置と逆転させることで、半導体装置間のシフトレジスタの接続を容易にすることができる。

【0013】この場合、前記シフトレジスタの出力用リード長を他のリード長より短く加工することが好ましい。

【0014】一方、上記目的は、複数個の半導体装置を積層して配置した積層型半導体装置において、外部からのデータを格納する複数個のメモリを有する半導体装置と、外部からの選択信号及びメモリアドレス信号から対応する半導体装置内部のメモリへのデータアクセスを許可する信号を出力するアドレスデコード回路を有する半導体装置とを備え、該メモリを有する半導体装置と該アドレスデコード回路を有する半導体装置とを同一のデバイスで構成することでも達成することができる。

4

【0015】この場合、前記アドレスデコード回路を有する半導体装置を積層型半導体装置の最下層に配置し、該アドレスデコード回路を有する半導体装置は、基板に設けられた配線と電気的に接続するためバンプを有することが好ましい。

【0016】このように積層型半導体装置の最下層の半導体装置をアドレスデコード回路として利用することで、従来のアドレスデコードからの配線スペースを省略することができる。

10 【0017】

【発明の実施の形態】以下、図面を用いて本発明を詳述する。

【0018】図1に本発明のメモリチップ（半導体装置）100の構成概念図を示す。

【0019】メモリチップ100は、メモリチップ固有の識別コードを格納するシフトレジスタ101、該シフトレジスタ101の格納する識別コードと入力されるメモリチップ選択信号とを比較する比較回路102と、該比較回路102の出力に応じて動作するデータ制御部103と、データの読み出し/書き込みを制御する読み出し/書き込み制御部104と、データを記憶するメモリセルアレイ105とから構成される。

【0020】なお、外部からの書き込み信号115または読み出し信号116は、読み出し/書き込み制御部104を動作させ、読み出し/書き込み制御部104は読み出し/書き込み制御信号122をデータ制御部103、メモリセルアレイ105へ出力することでデータの書き込み及び読み出しを行う。

30 【0021】メモリチップ100の選択方法は次の通りである。

【0022】シフトレジスタ101に予め他のメモリチップと区別するためのiビットで構成するチップ固有の識別コードを記憶させておき、これとアドレス110の上位iビットとを比較回路102で比較する。なお、アドレス信号110は、メモリチップを選択するためのiビットと、メモリセルアレイ105内の特定アドレスを指定する下位nビットとを含んでいる。

40 【0023】その結果、両者が一致したとき当該チップが選択されたと判断し、比較回路102はその出力信号120によりデータ制御部103を活性化してメモリセルアレイ105へのデータの書き込み/読み出しを可能な状態にする。

【0024】この方式により、アドレス信号110の上位iビットで最大2のi乗個のメモリチップの中から当該メモリチップ100を選択できるので、メモリ選択信号をメモリチップの入力端子に持つ従来の方式に比べて基板上のチップ選択配線数の大幅な削減を可能にする。

50 【0025】なお、本文中ではアドレス信号110内のチップ選択用iビットを上位に構成して説明したが、メモリセルアレイ105のアドレス信号nビットと区別で

きるのであれば任意のビットに構成できる。

【0026】次にシフトレジスタ101へのチップ識別コードの書き込みについて図2 (A)、(B)を用いて説明する。

【0027】図2 (A)は複数個のメモリチップ201～204で構成するメモリモジュール200の接続概念図である。

【0028】m個のメモリチップ201～204の端子のうち、アドレス信号210、データ信号213、読み出し／書き込み信号214及びクロック信号212は、各メモリチップ間で共通化するように接続する。具体的には図3 (A)、(B)のように接続する(図3については後述する)。

【0029】各メモリチップ201～204の有するシフトレジスタ221～224はそれぞれチップ識別コード入力用端子とチップ識別コード出力用端子とを備えている。本実施の形態の場合、シフトレジスタ221のチップ識別コード入力用端子がチップ識別コード発生器206と接続し、シフトレジスタ221のチップ識別コード出力用端子がシフトレジスタ222のチップ識別コード入力用端子と接続している。同様にしてシフトレジスタ222はシフトレジスタ223のチップ識別コード入力用端子と接続している。

【0030】また、チップ識別コード発生回路206はクロック信号212を各メモリチップに供給し、メモリI/Fコントローラ205はアドレス信号210、データ信号213、読み出し／書き込み信号214及びチップ識別コード発生回路に供給するチップ識別コード情報216を供給する。

【0031】次に、順次直列に接続されたシフトレジスタ221～224への識別コードの書き込み方法を説明する。

【0032】まず、メモリI/Fコントローラ205から各メモリチップ201～204に格納する識別コード情報216をチップ識別コード発生回路202に供給する。チップ識別コード発生回路202は、識別コード情報216と発振器207から、図2 (B)のチップ識別コード説明図に示すような一連のチップ識別コード信号211とクロック信号212を発生する。

【0033】チップ識別コード信号211は、チップ識別コード発生器206と接続するメモリチップ201のシフトレジスタ221を介して、直列に接続される他のシフトレジスタ222～224へ供給されるので、チップ識別コード発生回路206は終端のシフトレジスタ224に格納すべき識別コードを送信データの先頭にし、降順にシフトレジスタ223に格納すべき識別コード、シフトレジスタ222に格納すべき識別コード、シフトレジスタ221に格納すべき識別コードを出力する。

【0034】図2 (B)には、一例としてメモリチップを16個使用する際に各シフトレジスタに設定する識別

コードを示した。この場合、シフトレジスタは4ビット構成となり、2進数で0000～1111までのチップ識別コード信号211をクロック信号212に示すタイミングで順次転送することにより、全てのメモリチップ内部のシフトレジスタに異なるチップ識別コードを設定することが出来る。なお、各シフトレジスタに格納される識別コードは、それぞれを識別できれば問題はない。

【0035】以上の手順により、各メモリチップのシフトレジスタに固有の識別コードを格納する。

10 【0036】図3は図2 (A)に示す複数個のメモリチップ(半導体装置)を積層させて実装した場合の一例である。

【0037】メモリチップの接続用リードには、図1に示したメモリチップ100の接続用リードに加え、電気的にはメモリチップに接続されていない非接続用リード312が設けられている。図3 (A)、図4 (A)の様にチップ識別コード入力用リード310、チップ識別コード出力用リード311及び非接続用リード312を隣接して配置させ、チップ識別コード出力用リード311と次段のチップ識別コード入力用リード310を接続し、最終段のチップ識別コード出力311を非接続用リード312と接続する。これにより先頭段のチップ識別コード入力用リード310から入力されるチップ識別コードは順次後続のメモリチップのシフトレジスタに転送されるので、最終段から降順にチップ識別コードを入力することにより、全てのメモリチップにチップ識別コードを設定することが出来る。

【0038】図3 (A)、図4 (A)では、チップ識別コード入力用リード310のパッケージ外部の先端がチップ識別コード出力用リード311のパッケージ内部の先端位置に対応するように、チップ識別コード入力用リード310を折り曲げ加工している。また、チップ識別コード出力用リード311も折り曲げられたチップ識別コード入力用リード310と接触しないように、他のリードよりも短く加工されている。

【0039】このようにチップ識別コード入力用リード310等のリードパターンを変更することで、積層する各半導体装置で同一のチップMを利用することができる。

40 【0040】図3 (B)はチップ識別コード入力用リード330とチップ識別コード出力用リード331の配置を逆転したメモリチップを1層置きに重ねた構造を示し、図4 (B-1)、(B-2)はチップ内構造を示す。図からも分かるようにチップMの端子からチップ識別コード入力用リード330、チップ識別コード出力用リード331へのワイヤボンディングが交差しないようにリードパターンを形成している。

【0041】このようなリードパターンであれば、図4 (B-1)、(B-2)に示すような2種類のワイヤボンディングのパターンを用意することで積層型半導体装

置の各層を実現できる。

【0042】なお、リードパターンの変更をせずに、ワイヤボンディングの高さを変えることで対処しても良い。

【0043】このようにチップ識別コード入力用リード310等のリードパターンを変更することで、積層する各半導体装置で同一のチップMを利用することができる。また、これによりチップ識別コード入力用リード330を下段のチップ識別コード出力用リード側へ曲げる加工が容易になる。

【0044】図5は図3、4に示す積層構造メモリモジュール（積層型半導体装置）の基板搭載例を示す。

【0045】図に示すように非接続用リード510と他の積層構造メモリモジュール（積層型半導体装置）のチップ識別コード入力用リード511を配線接続する。上記で示したチップ識別コードの設定方法と同様の方法により、全ての積層構造メモリモジュールのメモリチップのチップ識別コードを、先頭メモリモジュールの先頭段メモリチップのチップ識別コード入力からチップ識別コードを順次転送することにより設定することができる。

【0046】この図からも分かるように、アドレスデコード回路を不要とするために必要となるのはP配線のみであり、基板への高密度実装が可能となる。

【0047】次に本発明の他の実施の形態を説明する。

【0048】図6にその全体構成を示し、図7（A）に図6の要部信号波形を示す。

【0049】図6に示すように、メモリアドレス信号611～613とメモリモジュール選択信号614を入力し、メモリ選択信号621～628を出力するアドレスデコードメモリ601と、アドレス信号617とアドレスデコードメモリ601から供給されるメモリ選択信号621～628、読みだし信号615及び書き込み信号616を入力し、データ信号618を入出力するメモリ602～609で構成する。

【0050】アドレスデコードメモリ601には、図7（B）に示すように、メモリアドレス信号611～613の論理値により、メモリ選択信号621～628のうちいずれか1つを選択する論理値を出力する様子で書き込んでおく。正論理で動作を説明すると、メモリモジュール信号614が論理値“H”になると、アドレスデコードメモリ601はメモリアドレス信号611～613の論理値により、メモリ選択信号621～628のうちいずれか1つを論理値“H”にし、対応するメモリの読み出し及び書き込み動作を可能にする。このとき、読み出し信号615が供給されると、アドレス信号617の示すアドレスに書き込まれている値をデータ信号618に出力する。また、書き込み信号616が供給されると、アドレス信号617の示すアドレスに、データ信号618の値を書き込む。

【0051】読みだし及び書き込みの一例を図7（A）

に添って説明すると、メモリモジュール信号614に論理値“H”が供給され、読み出し信号615が出力された場合、アドレスデコードメモリ601は、メモリアドレスがメモリ602を選択するアドレスを出力しているので、メモリ選択信号621～628のうち621のみを論理値“H”にする。メモリ602は、アドレス信号617の指定したアドレスの内容をデータ信号618として出力する。また、メモリモジュール信号614に論理値“H”が供給され、書き込み信号616が出力されると、アドレスデコードメモリ601は、メモリアドレスがメモリ605を選択するアドレスを出力しているので、メモリ選択信号621～628のうち621のみを論理値“H”にする。メモリ605は、アドレス信号617の指定したアドレスにデータ信号618の内容を書き込む。なお、本説明を全て正論理で説明したが、正論理あるいは負論理で制限されるものではない。また、本例では、メモリアドレスを3本、メモリ選択信号8本で示しているが、その本数は個々の目的に応じて適当に定められればよいものである。

【0052】図8に本方式を採用した積層構造メモリモジュール（積層型半導体装置）を示す。

【0053】本実施の形態で特徴的な点は、アドレスデコード回路を構成したメモリ601を積層構造メモリモジュールの最下層に配置し、該アドレスデコード回路を構成したメモリと基板との接続をバンパにより行ったことにある。

【0054】以下に図8に示す構造を詳述する。

【0055】アドレスデコードメモリ601において、メモリアドレス信号611～613に使用する端子はメモリ602～609のアドレス信号と、又チップ選択信号621～628に使用する端子はメモリ602～609のデータ信号617と電気的に接続しないようにする。

【0056】そこで、メモリアドレス信号611～613及びチップ選択信号621～628に使用する端子のボンディングパッドにバンパを設け、基板とFCA（フリップチップアタッチメント）接続する。メモリアドレス信号611～613はバンパと直接配線接続し、チップ選択信号621～628はメモリ602～609の各チップ選択信号端子と基板とを接続する長いピンを設け、バンパとピンを配線接続する。

【0057】なお、アドレスデコードメモリ601をFCA接続するので、メモリ602～609もボンディングパッド側を下向きにするか、あるいはメモリ602～609にピン配置が左右逆転しているリバースパターンを使用する必要がある。

【0058】このように積層型半導体装置の最下層の半導体装置をアドレスデコード回路として利用することで、従来のアドレスデコードからの配線スペースを省略することができる。またバンパとピン間を出来るだけ側

9

近に配置することで、配線領域の大幅な削減が図れる。

【0059】

【発明の効果】本発明によれば、複数個のメモリと該複数個のメモリを選択する回路とを高密度に実装することができる。

【0060】また、メモリ選択用のデコード回路をメモリモジュール内にもつので、メモリチップ数が多いほど配線領域の削減が図れる。しかも、アドレスデコード用に使用していたデバイスの実装領域をメモリモジュールの実装に割り当てられるので、限られた基板領域におけるメモリの搭載数増加が図れる。

【図面の簡単な説明】

【図1】図1は、本発明によるメモリチップの一例の全体構成を示す図

【図2】図2（A）は、図1のメモリチップを組み込んだメモリモジュールの一例の全体構成を示す図図2

（B）は、図7（A）に示すチップ識別コード発生回路の出力の一例を示す図

【図3】図3は、図1に示すメモリチップを組み込んだ積層メモリモジュールの一例を示す図

【図4】図4は、図3に示すメモリチップの内部接続の一例を示す図

【図5】図5は、図3（A）及び図3（B）に示す積層メモリモジュールを基板搭載した半導体メモリシステムの一例を示す図

【図6】図6は、本発明によるメモリモジュールの他の実施例の全体構成を示す図

【図7】図7（A）は、図6の要部入出力信号波形を示す図図7（B）は、図6のアドレスデコードメモリに設定するデータの一例を示す図

【図8】図8は、図6に示す本発明を組み込んだ積層メモリモジュールの一例を示す図

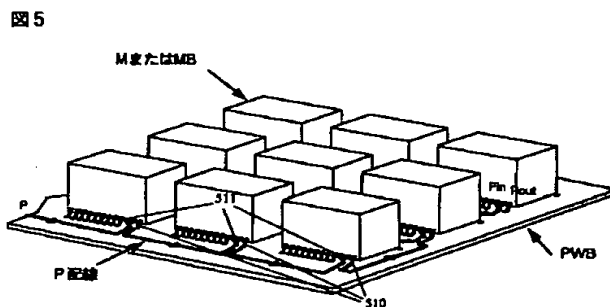
【図9】図9は、従来例に係る半導体メモリシステムの一例を示す図

【符号の説明】

10

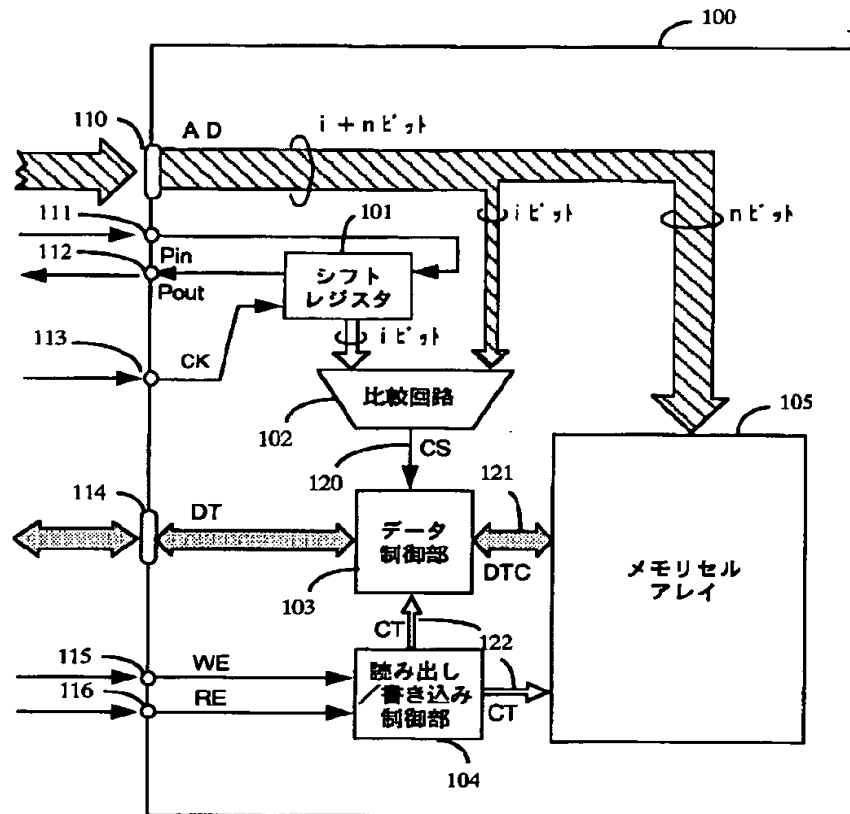
100…メモリチップ、101…シフトレジスタ、102…比較回路、103…データ制御部、104…書き込み／読み出し制御部、105…メモリセルアレイ、110…アドレス信号、111…メモリチップ識別コード入力信号、112…メモリチップ識別コード出力信号、113…クロック、114…データ信号、115…書き込み信号、116…読み出し信号、120…メモリチップセレクト信号、121…メモリセルアレイデータ信号、122…書き込み／読み出し許可信号、200…メモリモジュール、201～204…メモリチップ、205…メモリI/Fコントローラ、206…チップ識別コード発生回路、207…発振器、210…アドレス信号、211…メモリチップ識別コード入力信号、212…クロック、213…データ信号、214…書き込み／読み出し信号、215…システムクロック、216…メモリチップ識別コード情報、217…メモリチップ識別コード出力信号、221～224…シフトレジスタ、300～307…メモリチップ、308…積層メモリモジュール、310…メモリチップ識別コード入力信号、311…メモリチップ識別コード出力信号、312…電気的未接続ピン、320～327…メモリチップ、328…積層メモリモジュール、330…メモリチップ識別コード入力信号、331…メモリチップ識別コード出力信号、332…電気的未接続ピン、510…電気的未接続ピン、511…メモリチップ識別コード入力信号、600…メモリモジュール、601…アドレスデコードメモリ、602～609…メモリ、611～613…メモリアドレス信号614…メモリモジュール選択信号、615…読み出し信号、616…書き込み信号、617…アドレス信号、618…データ信号を供給する入力端子、621～628…メモリ選択信号、901…アドレスデコード、902～909…メモリ、911～913メモリアドレス信号、914…読み出し信号、915…書き込み信号、916…アドレス信号、917…データ信号、921～928…チップ選択信号

【図5】



【図1】

図1



【図8】

図8

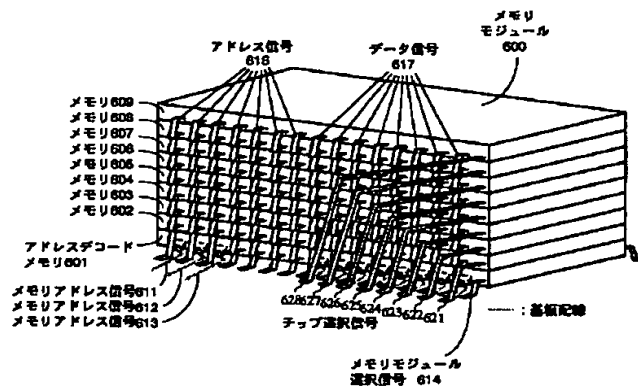
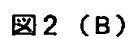


图 2 (A)

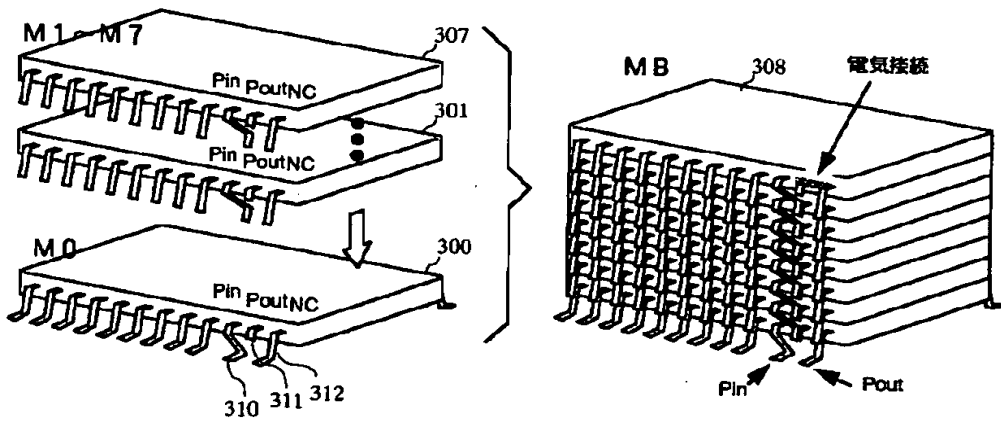


記憶素子	M15	M14	M13	...	M3	M2	M1	M0
レジスタの内容 (素子識別データ)	1111	1110	1101	...	0011	0010	0001	0000
P列								
CK列								

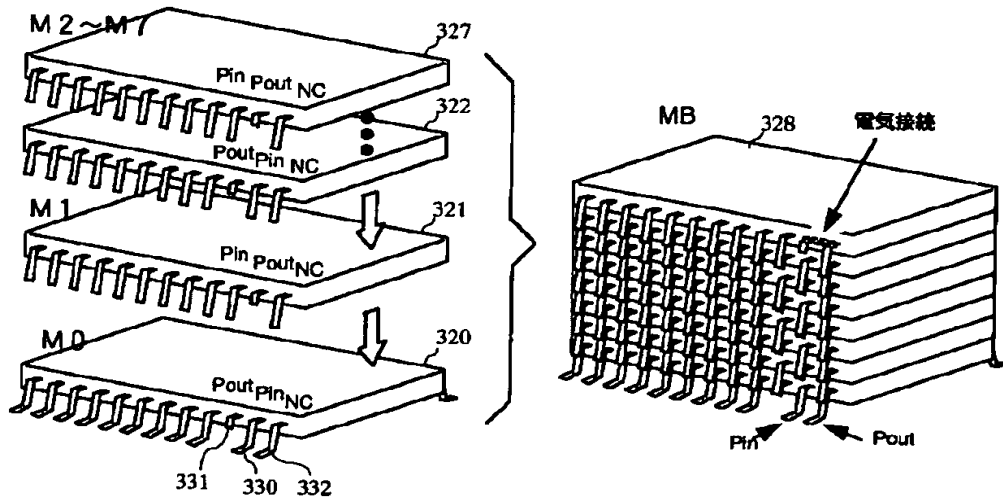
【図3】

図3

(A)

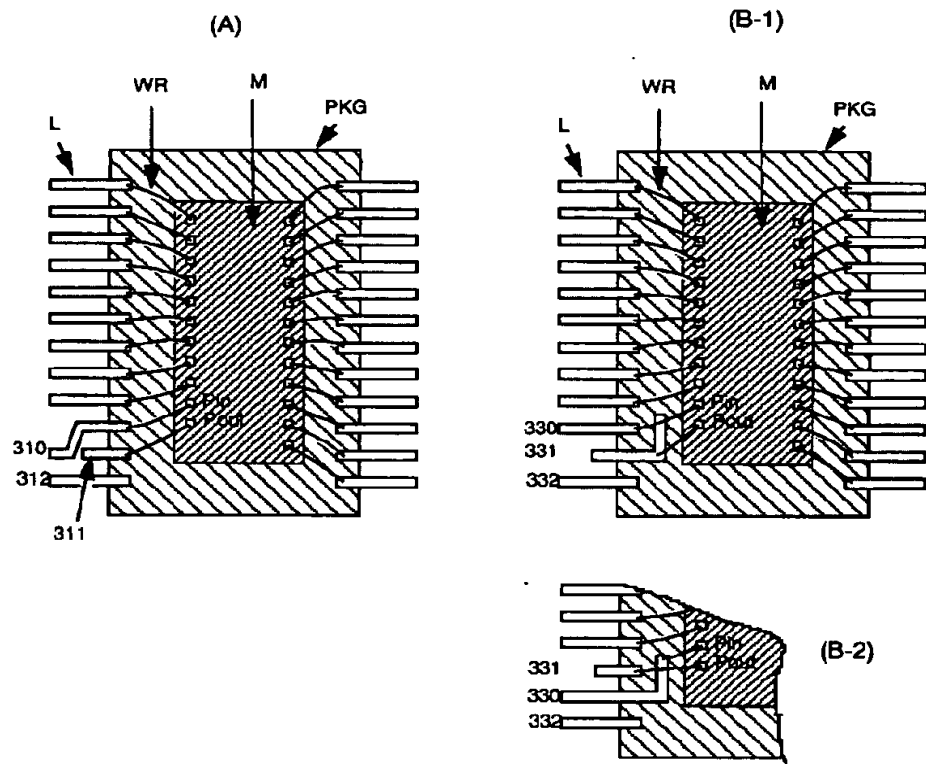


(B)



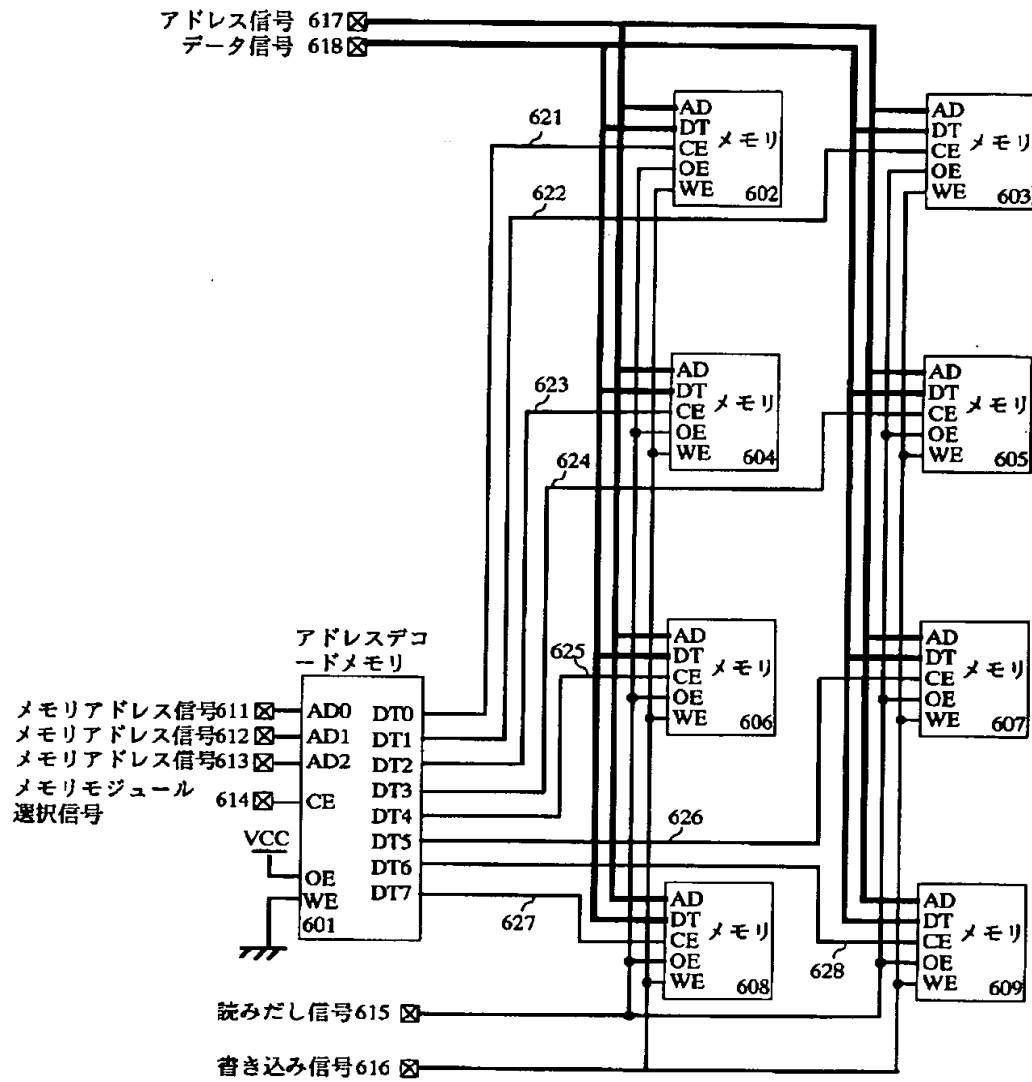
【図 4】

図 4



【図6】

図6



【図 7】

図 7 (A)

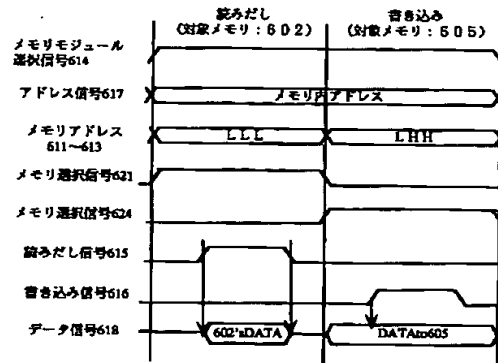
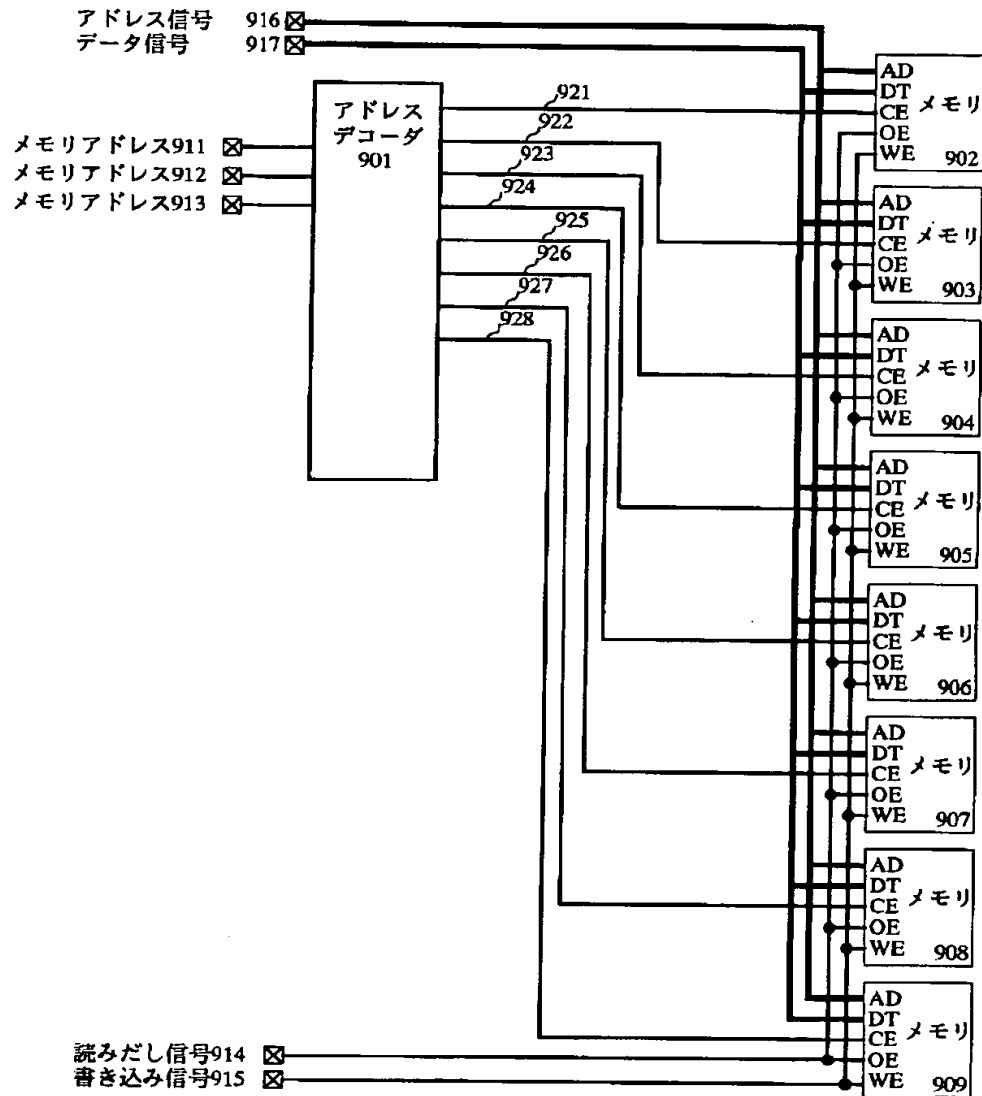


図 7 (B)

メモリアドレス			メモリ選択信号								
613	612	611	628	627	626	625	624	623	622	621	
L	L	L	L	L	L	L	L	L	L	H	
L	L	H	L	L	L	L	L	L	H	L	
L	H	L	L	L	L	L	L	H	L	L	
L	H	H	L	L	L	L	H	L	L	L	
H	L	L	L	L	L	H	L	L	L	L	
H	L	H	L	L	H	L	L	L	L	L	
H	H	L	L	H	L	L	L	L	L	L	
H	H	H	H	L	L	L	L	L	L	L	

【図9】

図9



フロントページの続き

(72)発明者 松本 邦夫
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-097463

(43)Date of publication of application : 14.04.1998

(51)Int.Cl. G06F 12/06
G11C 5/00
G11C 11/41

(21)Application number : 08-251182

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.09.1996

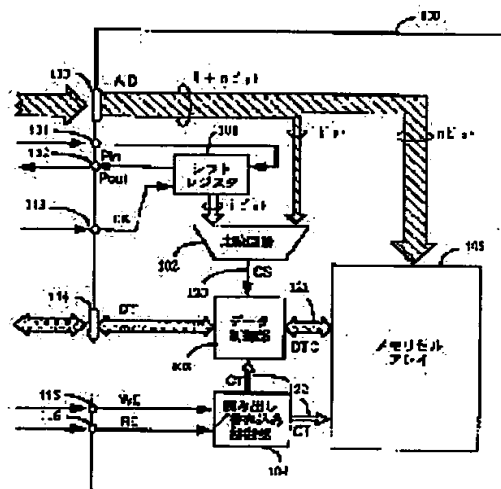
(72)Inventor : INUDOU KOUSUKE
ORIHASHI RITSURO
ISADA NAOYA
MATSUMOTO KUNIO

(54) LAMINATE TYPE SEMICONDUCTOR DEVICE PROVIDED WITH SELECT BUS FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory module which reduces a substrate wiring area needed for a chip select signal when many memories are used.

SOLUTION: A shift register 101 is stored with a chip-unique identification code consisting of (i) bits so as to discriminate it from other memory chips, and this is compared by a comparing circuit 102 with the high-order (i) bits of an address 110. When the both match each other, it is decided that the chip is selected. Then the comparison circuit 102 activates a data control part 103 to make it possible to write and read data to and out of a memory cell array 105. This system can select the memory chip 100 out of memory chips as many as up to 2^i with the high-order (i) bits of an address signal 110, so the wiring area on a substrate needed for chip selection can greatly be reduced as compared with a conventional system which has the memory select signal at an input terminal of a memory chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

